PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-017518

(43) Date of publication of application: 22.01.1999

(51)Int.CI.

H03K 19/0175

(21)Application number: 09-167607

(22)Date of filing:

24.06.1997

(72)Inventor: ISHIZUKI HITOSHI

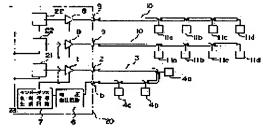
(71)Applicant: NEC CORP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT INCORPORATING OUTPUT IMPEDANCE ADJUSTMENT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a transmission efficiency for a prescribed time and to suppress power consumption at signal transmission to a required minimum power matching a transmission line by preventing waveform distortion caused by the reflection resulting from mismatching of an output circuit impedance with respect to the transmission line with respect to an impedance change due to a change of a load form or the like so as to increase the signal transmission rate in the case that the semiconductor interface derives the transmission line.

SOLUTION: A voltage detection circuit 6 detects an input signal waveform of a dummy load sent from output circuits 1-8 of the semiconductor integrated circuit via a transmission line 3 provided as a dummy, an output impedance of the output circuits 1-8 is controlled by the detection result and optimum drive capability is obtained matching the impedance of the transmission line to be driven. Thus, waveform distortion at signal transmission



is prevented, high speed transmission is attained and the power consumption is suppressed to a required minimum value.

LEGAL STATUS

[Date of request for examination]

24.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3156638

[Date of registration]

09.02.2001

[Number of appeal against examiner's decision of rejection]

(12)

(11)特許出廣公開番号

特開平11-17518

(43)公開日 平成11年(1999)1月22日

(51) Int Q. HO3K 19/0175 H03K 19/00 1010 101F

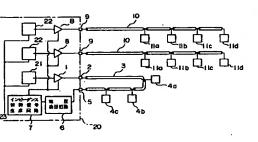
銀状屋の数1 01 (全6頁)

				(22)出題日		(21)出版等与
				平成9年(1997)6月24日		特顯平9-167607
(74)代理人		-	(72)発明者			(71)出題人
(74)代理人 弁理士 京本 直樹 (外2名)	式会社内	東京都港区芝五丁目7番1号 日本電気株	1 路口	東京都港区芝五丁目7番1号	日本電気株式会社	(71) 出算人 000004237

(54) 「発配の名祭」 田七人ソスーダソス舞曲回路内観半導作戦後回路

あわせた必要最高限の負力に答える。 とともに信号伝送時に消費される消費電力を伝送線路に 送を高遊化し、一定の時間における伝送効率を向上する とする反射による液形歪みを防止することにより信号伝 法模路に対する出力回路インピーダンスの不整合を起因 負荷形態の変化等によるインアーダンス変化に対し、依 【展題】 半導体集積回路が伝送線路を駆動する場合、

みを防ぎ、高速伝送を可能とし、電力消費を必要最低原 た最適な駆動館力を得ることにより信号伝送時の被形面 を駆奪して、際君士 4 伝送様のイン パーダンス ごもせや その被出結果により上記出力回路の出力インピーダンス 入力信号波形を放半導体集積回路の検出回路で検出し、 して設けた伝送線路を介して伝送されてきたダミー負荷 【解決手段】 半導体集積回路の出力回路からダミーと



(特許請求の領囲)

整回路内藏半導体集積回路。 回路とを確えたいとを特徴とする田力インアーダンス観 の前記制御信号を生成するインピーダンス制御信号生成 の爲用核田路と、核核田回路の核田した爲用値に描んい を介して伝送される信号の初期電圧振幅を検出するため ードバック接続される入力端子と、前記ダミー伝送線路 統される出力塩子と、前記ダミー伝送練路の他竭がフィ 出力回路に実負荷伝送線路と等価のダミー伝送線路と接 を可変にすることができる出力回路と、その一端が前記 **れ、前記出力回路の田力インパーダンスを超御するため** 【請求項1】 制御信号によりその出力インピーダンス

射による波形阻みを低減するために出力インピーダンス 半導体集積回路の出力回路に関し、特に信号伝送時の反 悶整回路を内蔵した半導体集積回路に関する。

射による被形歪みが生じ、必要以上に遅延時間を要する 伝送線路のインピーダンスとの整合がとれていないと反 母伝送する場合、信号駆動回路の出力インピーダンスと をプリント配線板やケーブルなどの伝送線路を用いて信 【従来の技術】半導体集積回路と半導体集積回路との間

路は線路に接続される負荷回路の数や形態によりその紙 動により変化する。また、出力回路に接続される伝送線 は製造プロセスのばらつき、電源電圧変動および温度変 **ホムンパーダンス不暇合が扱いのやすい。**

を得るために出力インピーダンスを転御しようというも の結果により伝送線路を駆動するために最適な出力低圧 ニタし、検出された臨圧と基準臨圧を比較し、その比較 伝送線路に接続された出力回路の出力部の出力電圧をモ 示される従来技術では、インピーダンス整合をとるため

得られなくなり被形盈みが大きくなる。 路猫側とた異なった場合、適正な出力インドーダンスが が、伝送媒路のインパーダンスが田七回路路回と食柜回 は任意のインピーダンスの伝送線路に対応可能ではある ければ正常な制御ができない。すなわち、この従来技術 **小のインパーダンスが吸過器の食症まりむ―の様路かな** を利用しているため、出力回路に接続される伝送線路は 8-321769号公報に関示される従来の技術は、出 インパーダンスとの分圧氏により得られる出力初期低圧 カ回路に接続される伝送練路インピーダンスと出力回路

70

【発明の属する技術分野】本発明は伝送線路を駆動する

性インパーダンスが変化し、出力回路と伝送線路との間 【0002】 つかつながら、 丑七回路のインパーダンメ

【0003】そこで特開平8-321769号公報に開

【発明が解決しようとする課題】しかしながら、特別平

【0005】田力回路稲寅と田力回路からみて吸道食績 30

8

専開平11−17518

御してしまうという問題がある。 負荷が軽く見えるため出力回路の駆動能力を低めに誤制 を従来技術の出力回路で駆動した場合、出力回路からは ているぶんだけ低くなる。したがって、図6の伝送練器 は出力回路猛回のインピーダンスよりも負荷が接続され に示す。伝送線路の最遠負荷回路蟷螂のインピーダンス 回路端とで伝送線路のインピーダンスが異なる例を図り

出力回路の駆動能力を高く認動御するという問題があ スが低い場合は、出力回路からは負荷が重く見えるため

【0006】図6とは街に丑七回路路室のインパーダン

出力回路の駆動銃力を超御することにより、ドライス信 **导伝送時の反射による波形歪みを防止し、信号伝送を高** が不均一であっても、信号受信鑑での被形をモニタし、 【0007】本発明の目的は伝送線路のインピーダンス

体集積回路を提供することにある。

遊化し、一定の時間における伝送効率を向上できる半導

送線路を駆動した際、受信部における信号初期振幅をド ス値に自己補正するというものである。 ライ 八集街回路が自己キニタ し最適な出力インパーダン 【課題を解決するための手段】本発明では集積回路が伝

回路のインピーダンスを調整する手段を有する構成とな **韓回路の他の出力端子へ接続する。ダミー伝送線を構成** 駆動した時の上記入力増子における信号被形を基に出力 路の入力増子へと接続され、出力回路がダミー伝送線を するパターンの街の一路は好り返し同一ドライバ鉄機回 に、前記伝送線路と同一形態、同一負荷の構成された同 **ーインパーダンスを持しダミーの伝送機器をドライス供** 【0009】実際の信号伝送に使用する伝送線路の他

[0010]

図価を参照して詳細に説明する。 【発明の実施の形態】次に本発明の実施の形態について

わち負荷回路11a, 11b, 11cおよび11d (以 伝送される。また、前記の信号伝送用回路とは別に、半 出力した信号が伝送線路10を介して負荷回路群11に 送線路10と接続される。伝送線路10は受信回路すな ダミー伝送線路3と接続される。 10と同一インピーダンスでから同一負荷形態を有する 接続され、出力回路1は出力端子2を経由して伝送練路 導体集技回路20内では、内部回路21が出力回路1と 下、负荷回路群11)と接続されており、出力回路8が またはプリント配線板などのインピーダンスを有する伝 路8と接続され、さらに、出力鑷子9を介してケーブル おいては、半導体集積回路20の内部回路22が出力回 【0011】図1を参照すると、本発明の実施の形態に

母が同じものであれば特に制限はなく何を用いてもよ 4 c(以下、負荷回路群4)は負荷回路群11と負荷名 【0012】ここで、ダミー負荷回路4a, 4bおよひ

と入力端子5~はそれぞれ同一の液形が伝送される。 なる。以降同様に11bと4b、11cと4c、11d および8が同一駆動能力を有していれば負荷回路11a スが全く同じと言うことになる。すなわち、出力回路1 伝送線路 3 とは半導体集積回路からみるとインピーダン とダミー負荷 4 a に到達する信号液形は全く同じものと 【0014】本実施形態において伝送液形が最適となる 【0013】本実施の形態においては、伝送練路10と 70

いては最遠端負荷として入力端子5の彼形をモニタする 形を最適化すれば負荷回路11 d における波形も最適化 手段を有することになる。したがって、入力婚子5の故 折り返して入力端子5と接続したダミー伝送線路3につ きないが、信号伝送線路10と同一負荷を持つ伝送線を での距離は実際には離れているためモニタすることはで い。半導体集積回路20から最遠端の負荷回路11dま ためには最遠端の負荷における被形を最適化すればよ

のインパーダンス幅以上の関盟幅を持しようトランジス 路1の駆動能力は実際に駆動が予測される各種伝送線路 た、田力回路1の街の構成例として、図4のように、ト 信号入力場子群36~の入力信号により駆動するトラン タ数並びに1個当たりの駆動能力を設定する。 ダンスが変化する回路構成としてもよい。なお、出力回 より、導通するトランジスタ数が転御され出力インピー 直列に接続され制御信号入力端子群36への入力信号に ランジスタ42が最終段トランジスタ40および41と インピーダンス同じ母で変化させることができる。ま 一構成を有し、出力回路1と同一の制御信号により出力 な構成となっている。出力回路8はこの出力回路1と同 ジスタ数が慰録され出力インピーダンスが変化するよう トランジスタ30および31が多段並列に接続され制御 【0015】図3に示すように、出力回路1は出力段に 8

検出回路6が接続されており、入力場子5で受けた信号 カするタイミング信号で入力協子5の電圧を取り込む構 立ち上がりに対し一定の遅延を加える遅延回路57が出 【0016】入力端子5には、図5で示すように、臨日

ーダンス制御信号生成回路7と接続される。 【0017】また、入力包圧検出回路6はさらにインビ

F1およびVREF2は半環体集積回路20の内部で生成して 圧VRF1およびVRF2を持っている。この判定包圧VRE も、外部より入力してもかまわない。 比較器 5 3 および ーダンス制御信号生成回路7について詳細に説明する。 【0019】比較器53, 54はそれぞれ異なる判定個 【0018】 ここで、入力負圧被出回路 6 およびインド

54の出力は、建矩回路57から出力されるサンプリン

so

ぶ) 55および56に与えられる。 グ信号で動作するフリップフロップ(以下F/Fと呼 【0020】 F/F55および56の出力はインピータ

に影響するかを図1および図2を参照して説明する。 ンピーダンス、の違いが伝送信号故形の強みにどのよう 【0021】次に出力回路の駆動能力、すなわち出力へ

ンピーダンス値がその回路 1 が接続される伝送線路 3 の 2の複形101なある。 圧波形である。その時の最遠端負荷5の受信側波形が図 インピーダンス値より大きい場合の出力端子2の過渡間

の時間を要する。 い。電圧 VREF1および VREF2に達するには時刻 tL4まで 初期振幅と呼ぶ)は電圧VREF1およびVREF2に達しな 達する時刻 t L1での臨圧(以下ではこれを最遠端負荷の 【0023】この場合、信号が最初に最適端負荷5に到

【0024】さらに出力インピーダンスを下げ、図2の

0および110のときより信号は受信側では早く確定す F2の中間低圧に達しており、出力被形が図2の被形10 信側の低圧液形においては時刻 tllで低圧 VREF1と VRI 被形120となるまで駆動能力を上げる。この場合、受

REF2に達しているにも関わらず、時刻にL2では逆に低圧 液形が図2の液形131である。すると、図2の液形1 図2の被形130の被形まで駆動能力を上げた時の受信 るのは時刻に13以降となる。 VREF1より電圧が低下する。この後、電圧 VREF1を上回 21と同様に受信例では時刻 tLIで電圧VRF1およびV 【0026】この上さらに出力インピーダンスを下げ、

被形が図2の被形120の場合である。 荷回路5で確実に受信できる時間が一番早い条件は出力 【0027】すなわち、出力回路1が出力した信号を负

あればよいと言える。 入力端子での初期版幅がVREF1とVREF2との中間処圧で 【0028】従って入力幅で最適な伝送被形となるには

図1、図2、図3、図4および図5を参照して説明す

ング t LSは時刻 t L2を越えないものとしなければならな 【0030】入力配圧検出回路6の検出タイミングは伝

ンス制御回路 7 内のカウンタ回路 5 8 を経由して保持回

【0022】図2の徴形100は、出力回路1の出力イ

液形110となるまで駆動能力を上げる。なお、この場 時刻にL3までの時間を要する。 に達していない。電圧VREF1およびVREF2に達するには 合でも最遠端負荷の初期版幅はCEETVREF1およびVREF2

【0025】さらに出力インパーダンスを下げ、図2の

【0029】次に、本発明の実施の形態の動作について

57により一定の時間に設定する。ただし、検出タイツ に設定する。この遅延量は低圧検出回路6内の遅延回路 送被形が最初に到達する時刻にしより遅延した時刻にい

小になるよう既伝したおへ。 期状態を出力インピーダンスが最大つまり駆動能力が最 路20の低源を立ち上げた直後においては出力回路の初 路20が信号伝送を開始する前、たとえば半導体集積回 【0031】まず、伝送線路と接続された半導体集積回

【0032】 これより田力インドーダンスの調整シーケ

ク端子23から入力されるクロックを分周して生成して 路へ送る。このテストパターン信号は内部回路用クロッ り返し信号を出力するようテストパターン信号を出力回 →H - g h フベテ→Low フベラ→H i g h フベラの袋 【0033】 内哲回路 21は 丑力 編十 2 が Low アベハ

発する。制御回路7では電圧検出回路6より"0", にセットされた"0"、"0"のこと)を慰御回路7へ 駆動能力が低すぎるという検出信号(F/F55,56 および"0"にセットされる。低圧検出回路6は現在の 圧検出回路6内の2つのF/F55および56は"O" るように判定電圧VREF1およびVREF2より低い場合は電 る。検出した初期版幅電圧が図2の波形100で示され 入力端子 5 に現れる初期振幅を促圧検出回路 6 で検出す 通移するときに前述したサンプリングタイペング t LSで 【0034】 丑七がLowフベチかのHighフベチに

りでも同様に検出作業を行う。 路は駆動能力を一段上げる。この後、次の信号立ち上が を一段増加する指示信号を出力回路1〜出力し、出力回 "0" 信号を受けるとカウンタ回路で生成した駆動能力

何らかの保持回路59により保存させておへ。 信号は制御回路内に配したフリップフロップ、RAM等 し駆動能力制御動作を停止する。この時の駆動能力調整 を受けると、出力インピーダンスは最適値であると判断 回路 7 では億圧検出回路からの信号"1"および"0" 6は"1"および"0"にそれぞれセットされる。制御 中間となったら亀圧検出回路6内のF/F55および5 グ t LSにおいて検出低圧が判定低圧 V REF1と V REF2との 電圧が図2の波形120で示されるように検出タイミン 【0035】一段ずつ駆動能力を上げていき、初期版幅

形は図2の液形121で示されるように強みのない液形 に最適な駆動能力に設定されており、受信部における波 【0036】この時点で出力回路は接続される伝送線路

り、実際の信号伝送に使用できるようになる。 出力回路8の出力インピーダンスが最適に設定されてお し、保持回路59に設定されている制御信号により信号 【0037】これで駆動能力の調整シーケンスが終了

りで調整する場合も判定レベルが異なるだけであり手順 動能力を調整する場合について説明したが信号の立下が 【0038】上述した説明は信号の立ち上がりで出力駆

特開平11-17518

により出力インピーダンスを上げていく手順をとっても 【0039】なお、初期状態の駆動能力を最大とし飼御

個別に調整する必要があるが出力段のHigh例とLo 力調整機構がある場合はHigh顾としow回それぞれ ように出力段のHigh倒とLow回にそれぞれ駆動値 【0040】また、出力回路の例として図5に示される

High側とLow側の両方の駆動能力調整を済ませる 【0041】また出力回路の例として図5に示されるよ

立ち上がりまたは立下がりどちらか一方の検出結果より

w側の一段あたりの駆動能力を同一値とすることにより

用回路を設けている場合でも同様に立ち上がりまたは立 うに出力トランジスタ40および41と直列に駆動調整 ことが可能となる。 下がりのどちらか一方の検出結果により調整を済ませる

【発明の効果】本発明の第1の効果は、伝送線路を駆動

伝送線路に接続される負荷形態を変更することによる不 **初回路を作り替えることなく常に最適な出力インピーダ** 均一な伝送線路のインピーダンス変化に対し、半導体費 みが少なく高速信号伝送が可能となる。 ンスに制御することができるため、信号伝送時の被形面 する半導体集積回路において、伝送線路を変更したり.

つまり出力回路を流れる定常電流も皆無とすることがで 回路が必要無くなるため、終端回路に流れる定常電流、 路のインパーダンスにあせや八吸過な田七インパーダン 限に抑えることが可能となり、かつ受信回路部には終婚 スに調整することにより、過渡的な出力電流を必要最低 【0043】本発明の第2の効果は、接続される伝送

にあわせて最低限に抑えることができる。 【図面の簡単な説明】 【0044】これにより出力回路の消費電力も伝送線路

【図1】本発明の実施の形態を示す図である。

【図2】本発明の実施の形態の動作を説明するための液

【図3】本発明における出力回路部の構成を示す図であ

ô 【図4】本発明における出力回路部の他の構成を示す図

【図5】本発明における初期電圧検出回路の構成を示す

[符号の説明] 【図6】従来技術を示す図である

図である。

出力回路

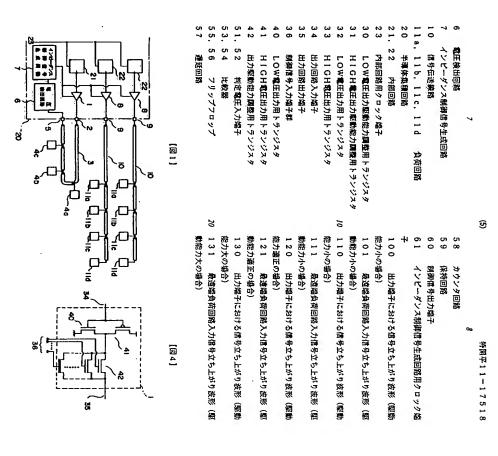
出力格子

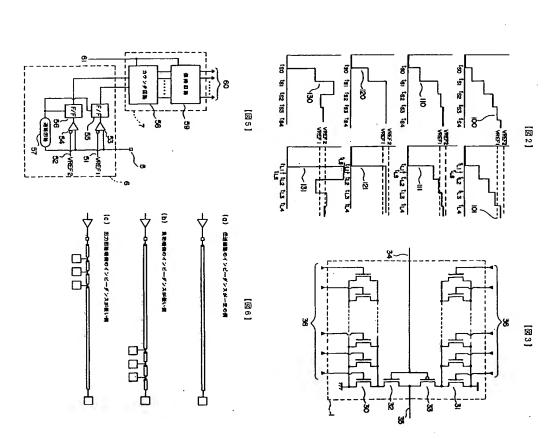
4a, 4b, 4c ダミー伝送線路 ダミー負荷

入力端子

õ

9





-6-